

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-162290

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

G01R 31/319

(21)Application number : 10-334768

(71)Applicant : ANDO ELECTRIC CO LTD

(22)Date of filing : 25.11.1998

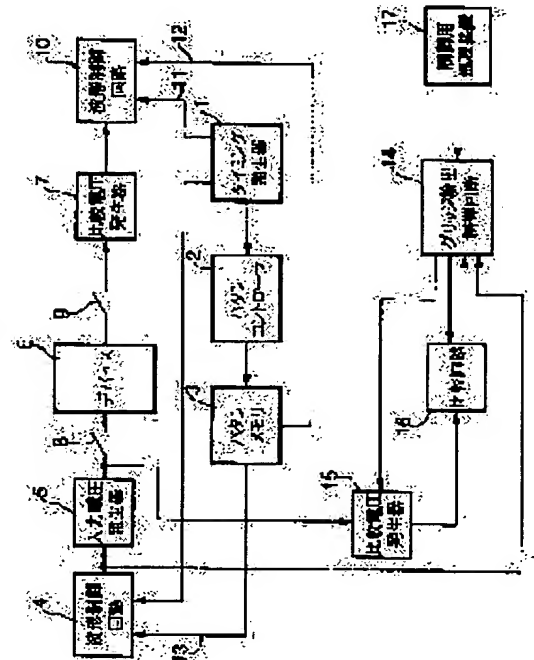
(72)Inventor : SHIMONAKA HIROMI

(54) SEMICONDUCTOR TESTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor testing device capable of easily and speedily detecting a glitch which appears in a test signal.

SOLUTION: A comparison voltage generator 15 as a glitch-extracting means compares a comparison voltage (a first reference signal), having a voltage level according to an internal signal which specifies a test signal with the test signal for extracting a glitch. A comparison circuit 16 as an disagreement detecting means compares the comparison logic (a second reference signal), having a logic value according to the internal signal with the glitch extracted by the comparison voltage generator 15, to detect disagreement of the logic values. A glitch detection control circuit 14 as a detection signal output means outputs a detection signal for indicating the detection of a glitch, when disagreement is detected by the comparison circuit 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-162290
(P2000-162290A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl.⁷

識別記号

F I

テームト^{*}(参考)

G 0 1 R 31/319

G 0 1 R 31/28

R 2 G 0 3 2

9 A 0 0 1

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号

特願平10-334768

(22)出願日

平成10年11月25日(1998.11.25)

(71)出願人 000117744

安藤電気株式会社

東京都大田区蒲田4丁目19番7号

(72)発明者 下中 裕美

東京都大田区蒲田4丁目19番7号 安藤電気株式会社内

(74)代理人 100064908

弁理士 志賀 正武 (外9名)

Fターム(参考) 2G032 AD05 AE08

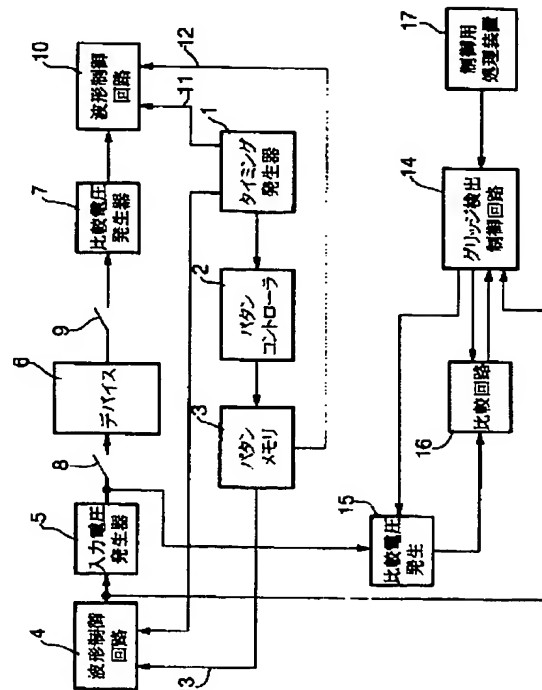
9A001 BZ05 KK31 KK37 LL05

(54)【発明の名称】 半導体試験装置

(57)【要約】

【課題】 試験信号に現れるグリッジを容易かつ迅速に検出可能な半導体試験装置を提供すること。

【解決手段】 グリッジ抽出手段としての比較電圧発生器15は、試験信号を規定する内部信号に応じた電圧レベルを有する比較電圧(第1の参照信号)と、この試験信号とを比較してグリッジを抽出する。不一致検出手段としての比較回路16は、内部信号に応じた論理値を有する比較論理(第2の参照信号)と前記比較電圧発生器15により抽出されたグリッジとを比較し、これらの論理値の不一致を検出する。検出信号出力手段としてのグリッジ検出制御回路14は、前記比較回路16が不一致を検出したことを契機としてグリッジが検出されたことを示す検出信号を出力する。



【特許請求の範囲】

【請求項1】 リレーを介して試験対象のデバイスに試験信号を印加して該デバイスの電気的特性を試験する半導体試験装置であって、

前記試験信号に現れるグリッジを検出するために設定された所定の期間において、前記試験信号を規定する内部信号を参照して前記グリッジを検出するグリッジ検出手段を備えたことを特徴とする半導体試験装置。

【請求項2】 前記グリッジ検出手段は、前記内部信号に応じた電圧レベルを有する前記第1の参照信号と前記試験信号とを比較して該試験信号に現れるグリッジを抽出するグリッジ抽出手段と、

前記内部信号に応じた論理値を有する前記第2の参照信号と前記グリッジ検出手段により抽出されたグリッジとを比較し、これらの論理値の不一致を検出する不一致検出手段と、

前記不一致検出手段が不一致を検出したことを契機としてグリッジが検出されたことを示す検出信号を出力する検出信号出力手段と、

前記第1および第2の参照信号を生成すると共に前記所定の期間を規定するストローブ信号を生成して前記グリッジ抽出手段および不一致検出手段に与え、これらグリッジ抽出手段および不一致検出手段を制御する制御手段と、

を備えたことを特徴とする請求項1に記載された半導体試験装置。

【請求項3】 前記制御手段は、前記ストローブ信号の時間位置を変更可能に構成されたことを特徴とする請求項2に記載された半導体試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置であるデバイスを試験するための半導体試験装置に関し、更に詳しくは、デバイスに印加される試験信号に現れるグリッジを検出する機能を備えた半導体試験装置に関する。

【0002】

【従来の技術】図3に、従来の半導体試験装置の構成を示す。同図において、符号6は、試験対象のデバイスである。符号1は各種のタイミングクロックを発生するタイミング発生器、符号2は試験内容に応じた試験信号の発生ボタン（ボタン：Pattern）を特定するボタンコントローラ、符号3は、試験信号の発生ボタンがプログラムされたボタンメモリ、符号4は、試験信号の発生ボタンに基づき試験信号の信号波形を形成する波形制御回路（フォーマットコントロール装置）、符号5は、試験信号の入力電圧レベル（V_{IH}/V_{IL}）を設定する入力電圧発生器である。

【0003】また、符号8および9は、試験対象のデバイス6の入力端子および出力端子に接続されるリレーで

ある。符号7は、出力電圧レベル（V_{OH}/V_{OL}）を設定してデバイス6の出力信号を比較判定する比較電圧発生器、符号10は、期待値ボタンとデバイス6からの信号波形とを比較して出力信号の真偽を判定する波形制御回路（フォーマットコントロール装置）である。なお、入力電圧発生器5および比較電圧発生器7にそれぞれ設定される入力電圧レベルおよび出力電圧レベルは、試験内容が記述された試験プログラム（図示なし）により設定される。

【0004】かかる半導体試験装置では、タイミング発生器1は、基本クロックの他、波形制御回路4が波形ボタンを形成する際のタイミングを規定する波形形成クロックや、波形形成回路10によりデバイスの出力信号を判定する際のタイミングを規定するストローブなどを発生する。ボタンコントローラ2は、タイミング発生器1からの基本クロックに基づき、試験内容に応じたランダムボタン発生用のアドレスを出力する。ボタンメモリ3は、このアドレスで特定されるランダムボタンを印加ボタン13として波形制御回路4に出力する。このランダムボタンは、期待値ボタン12として波形制御回路10にも出力される。

【0005】波形制御回路4は、ボタンメモリ3からの印加ボタン13に基づき試験信号のタイミング波形を表す波形ボタンを形成する。この波形ボタンには、例えば試験信号の論理レベルの変化点や立ち上がり時間/立ち下がり時間などが反映され、後述の試験信号を規定する。入力電圧発生器5は、波形制御回路4により形成された波形ボタンに入力電圧レベル（V_{IH}/V_{IL}）を反映させて、この入力電圧レベルを有する試験信号（符号なし）を出力する。この試験信号はリレー8を介して試験対象のデバイス6の入力端子に与えられる。デバイス6は、この試験信号に基づき動作し、その出力端子（符号なし）に出力信号を現す。この出力信号は、リレー9を介して比較電圧発生器7に与えられる。

【0006】比較電圧発生器7は、デバイス6の出力信号と、設定された出力電圧レベル（V_{OH}/V_{OL}）とを比較し、この出力信号の論理値を判定して出力信号の波形ボタンを出力する。波形制御回路10は、この波形ボタンと期待値ボタン12とを比較し、出力信号の真偽を判定する。この比較は、タイミング発生器1からのストローブ11で規定されるタイミングで行う。このようにして、プログラムされたボタンの試験信号が入力電圧発生器5からデバイス6に印加され、このデバイス6の出力信号を期待値ボタンと比較して試験が実行される。

【0007】通常、一つのデバイス6に対して様々な項目の試験が行われ、この試験中、試験項目に応じて試験条件が変更される。試験条件を変更する際に入力電圧発生器5の出力が不定となり、デバイス6に対して意図しない信号が入力されて、デバイスが破壊される場合がある。そこで、このような事態を回避するため、入力電圧

発生器 5 の出力側に接続されているリレー 8 と、比較電圧発生器 4 の入力側に接続されているリレー 9 とをオフ状態に制御し、デバイス 6 の端子を試験装置から電氣的に切り離して試験条件を変更するのが通例である。

【0008】

【発明が解決しようとする課題】ところで、例えば A C 試験の後に静止電流などの D C 試験を行う場合のように、前の試験項目のボタンで設定されたデバイス状態を保持したまま次の試験項目を実行する場合がある。この場合、例えばデバイス 6 に試験信号を与えるリレー 8 を

オン状態に維持したまま、必要に応じて出力側のリレー 9 のオン・オフ状態のみを制御して試験条件が変更される。

【0009】しかしながら、前述のように試験項目を変更する際に行われるリレー動作に起因してグリッジが発生し、デバイス 6 に対して予期しないパルス状のノイズが印加されることがある。このグリッジノイズにより、前のボタンから保持していた試験信号の論理レベルが変化してデバイス状態が変わると、意図するデバイス状態で試験を行うことができなくなる。このため、かかるグリッジの確実かつ迅速な検出が望まれていた。従来は、そのような状態を解析する際にオシロスコープなどの計測機器により行っていたが、この方法によれば問題となるグリッジをつきとめるまでに多くの時間を要するという課題があった。

【0010】この発明は前記課題を解決するものであり、試験対象のデバイスに印加される試験信号に現れるグリッジを確実かつ迅速に検出することができる半導体試験装置を得ることを目的とする。

【0011】

【課題を解決するための手段】前記目的達成のため、請求項 1 の発明にかかる半導体試験装置は、リレーを介して試験対象のデバイスに試験信号を印加して該デバイスの電氣的特性を試験する半導体試験装置であって、前記試験信号に現れるグリッジを検出するために設定された所定の期間において、前記試験信号を規定する内部信号を参照して前記グリッジを検出するグリッジ検出手段を備えたことを特徴とする。

【0012】この発明によれば、グリッジの影響が及ばない内部信号と比較することにより、試験信号の本来の信号成分とそれ以外の信号成分が区別され、試験信号の本来の信号成分以外の信号成分をグリッジとして検出する。内部信号は、試験信号を規定するものであって、グリッジの影響が及ばないものであれば、波形信号であっても波形情報（データ）であってもよい。したがって、例えば、試験信号を規定する内部信号にはリレー動作に起因したグリッジが現れないものとすれば、リレー動作に起因して試験信号に現れるグリッジを検出することができる。

【0013】請求項 2 の発明にかかる半導体試験装置

は、前記グリッジ検出手段が、前記内部信号に応じた電圧レベルを有する前記第 1 の参照信号と前記試験信号とを比較して該試験信号に現れるグリッジを抽出するグリッジ抽出手段と、前記内部信号に応じた論理値を有する前記第 2 の参照信号と前記グリッジ検出手段により抽出されたグリッジとを比較し、これらの論理値の不一致を検出する不一致検出手段と、前記不一致検出手段が不一致を検出したことを契機としてグリッジが検出されたことを示す検出信号を出力する検出信号出力手段と、前記第 1 および第 2 の参照信号を生成すると共に前記所定の期間を規定するストローブ信号を生成して前記グリッジ抽出手段および不一致検出手段に与え、これらグリッジ抽出手段および不一致検出手段を制御する制御手段と、を備えたことを特徴とする。

【0014】この発明によれば、グリッジ抽出手段は、例えば試験信号が満足すべき信号レベルを与える第 1 の参照信号を越えた場合にグリッジと見なして、これを抽出する。不一致検出手段は、例えば試験信号が満足すべき論理値とグリッジの論理値とを比較してこれらの不一致を検出する。ここで、グリッジの発生方向がハイレベル方向かローレベル方向かによって、試験信号の論理値が必ずしも変化するとは限らない。すなわち、試験信号の論理値が変化することを問題視する場合、必ずしも全てのモードのグリッジを検出する必要はない。そこで、不一致検出手段は、比較論理を参照し、この比較論理と試験信号とを比較することにより、試験信号の論理値を変化させるモードのグリッジの有無を検出する。検出信号出力手段は、このグリッジが抽出されたことを条件に検出信号を出力し、グリッジの発生履歴を検出信号に反映させて残す。したがって、試験信号を規定する内部信号を参照してグリッジを検出することが可能とされ、グリッジが消滅した後も、グリッジの発生を事後的に知ることができる。

【0015】請求項 3 の発明にかかる半導体試験装置は、前記制御手段が、前記ストローブ信号の時間位置を変更可能に構成されたことを特徴とする。これによれば、グリッジの発生を検出するために設定される所定の期間の時間位置を変更して、グリッジの検出を行うことができる。したがって、グリッジの時間位置を特定することが可能となる。

【0016】

【発明の実施の形態】以下、図面を参照して、この発明の実施の一形態を詳細に説明する。なお、各図において、前述の図 3 に示す要素と共通する部分には同一符号を付して、その重複する説明を適宜省略する。

【0017】この実施の形態にかかる装置は、リレー動作に起因するグリッジを検出するものであって、このグリッジを検出するために設定された所定の期間において、デバイスに印加される試験信号を規定する内部信号を参照することにより、試験信号に現れるグリッジを検

出するものである。以下詳細に説明する。

【0018】図1に、この実施の形態にかかる半導体試験装置の構成を示す。同図において、符号14は、制御手段および検出信号出力手段としてのグリッジ検出制御回路であり、後述する比較電圧発生器15および比較回路16を制御すると共にグリッジが検出されたことを表す検出信号を出力する。また、符号15は、グリッジ抽出手段としての比較電圧発生器であり、入力電圧発生器5から出力された試験信号に現れるグリッジを抽出するものである。

【0019】符号16は、不一致検出手段としての比較回路であって、試験信号とグリッジとの論理値の不一致を検出するものである。また、符号17は、一連のグリッジ検出動作の制御に関する処理を実行するための制御用処理装置である。比較電圧発生器15は、後述の比較電圧（第1の参照信号）に対し、入力電圧発生器5の出力（試験信号）が低い、或いは高い場合に变化する比較器を含んでいる。

【0020】以下、この実施の形態にかかる半導体試験装置の動作について、図2に示すタイミングチャートを参照しながら説明する。まず、複数の試験項目からなる一連のデバイス試験において、前の試験項目についてのバタンの走行が、図2（a）で示すタイミングで終了し、前のテストが終了すると、リレー8はそのままオン状態を維持し、同図（b）に示すように、それまでの試験バタンの試験信号が引き続きデバイス6の入力端子に印加される。

【0021】このとき、グリッジ検出制御回路14は、波形制御回路4が出力する波形ボタン（内部信号）を取り込み、この波形ボタンに応じた電圧レベルを有する比較電圧（第1の参照信号）を算出する。また、このグリッジ検出制御回路14は、図2（d）に示すように、この波形ボタンに応じた論理レベルを有する比較論理（第2の参照信号）を発生する。なお、前述のように、波形制御回路4が出力する波形ボタンは、試験信号を規定するものであって、例えば、試験信号のタイミングや論理値を定める。

【0022】グリッジ検出制御回路14が生成した比較電圧と比較論理は、それぞれ比較電圧発生器15および比較回路16に設定される。グリッジ検出制御回路14は、これらの処理が完了した後、図2（c）に示すように、グリッジの検出期間を規定するウィンドウタイプのストローブを発生する。このストローブは、次の試験が開始するまでの間発生される。

【0023】比較電圧発生器15は、グリッジ検出制御回路14により設定された比較電圧と、入力電圧発生器5から出力された試験信号の電圧レベルとを比較する。そして、図2（b）に示すように、入力電圧発生器5の出力（試験信号）にグリッジGが発生した場合、その電圧レベルが比較電圧を越える場合にグリッジとして抽出

する。

【0024】具体的には、試験信号の本来の電圧レベルが例えばTTLレベルにおけるハイレベル（2.4V）であった場合、この比較電圧は例えば2.0Vに設定される。この場合、試験信号の電圧レベルが2.0V以下となったときにグリッジが抽出される。また、例えば試験信号の本来の電圧レベルがTTLレベルにおけるローレベル（0.8V）であった場合、この比較電圧は例えば1.0Vに設定される。この場合、試験信号の電圧レベルが1.0V以上となったときにグリッジが抽出される。

【0025】比較回路16は、グリッジ検出制御回路14がストローブ信号を発生している間、比較電圧発生器15の出力を監視してグリッジの有無を検出する。すなわち、図2（b）に示すグリッジGが発生した場合、比較回路16は、比較電圧発生器15により抽出されたグリッジと、グリッジ検出制御回路14により設定された比較論理とを比較し、これらの論理値が不一致の場合に、図2（e）に示すような不一致信号をグリッジ検出制御回路14に出力する。

【0026】グリッジ検出制御回路14は、比較回路16から不一致信号を入力すると、図2（g）に示すように、検出信号をセットする。すなわち、不一致信号の入力を契機として、ストローブが発生している期間中にグリッジGが発生したことを知らせる検出信号を出力する。これにより、グリッジが消滅した後もグリッジの発生を事後的に知ることができる。

【0027】なお、この検出信号により、例えば表示器（図示なし）にグリッジGが発生したことを表示させることも可能である。また、グリッジの検出期間を規定する図2（c）に示すストローブの発生期間は変更可能となっている。これにより、グリッジGが発生している時間位置を特定することが可能となる。

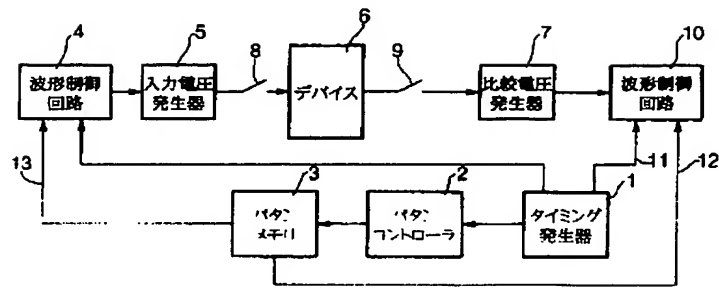
【0028】以上、この発明の一実施の形態を説明したが、この発明は、この実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等であっても本発明に含まれる。例えば、波形制御回路4が出力する波形ボタンを参照してグリッジを検出するものとしたが、これに限ることなく、グリッジの影響が現れることのない内部信号であって試験信号を規定するための信号であれば、どのような内部信号であってもよい。また、グリッジはリレー動作に起因するものであるとしたが、これに限ることなく、どのような原因によるグリッジであっても適用可能である。

【0029】

【発明の効果】以上のように、この発明によれば、リレーの動作に起因して発生するグリッジを検出するために設定された所定の期間において、前記試験信号を規定する内部信号を参照して該試験信号に現れるグリッジを検出するようにしたので、試験条件変更によりリレー動作

【図3】 従来の半導体試験装置の構成を示すブロック*

【図3】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-097196

(43)Date of publication of application : 08.04.1997

(51)Int.Cl. G06F 11/22
G01R 31/28

(21)Application number : 07-253479

(71)Applicant : NIPPON PRECISION CIRCUITS KK

(22)Date of filing : 29.09.1995

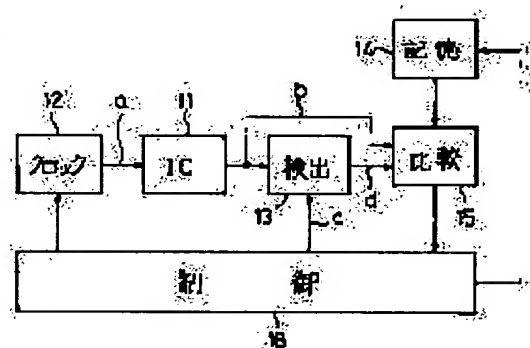
(72)Inventor : KOMATSU TOSHIO

(54) IC TEST EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an IC test equipment which performs the test in a short time with a simple hardware constitution.

SOLUTION: A detection circuit 13 which detects inversion of the output state of an output (b) to be tested of an IC 11 to be tested, a comparison circuit 15, and a judging circuit 16 which judges whether the IC 11 to be tested is good or not based on comparison results of the comparison circuit 15 are provided. The output state of the output (b) to be tested and an output state (d) of the detection circuit 13 at the time of input of clocks (a), whose number is smaller than the number of clocks required for inversion of the output state of the output (b) to be tested of the IC 11 to be tested by one, are compared with a value preliminarily set in a storage circuit 14 by the comparison circuit 15, and those values at the time of input of clocks whose number is equal to the number of clocks required for inversion of the output (b) to be tested of the IC 11 to be tested are compared with the value preliminarily set in the storage circuit 14 by the comparison circuit 15.



LEGAL STATUS

[Date of request for examination] 01.08.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2985056

[Date of registration] 01.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office